

10/561530  
PCT/JP01/08535

日本特許庁  
JAPAN PATENT OFFICE

13.11.01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出願年月日  
Date of Application:

2001年 3月29日

REC'D 23 NOV 2001

WIPO PCT

出願番号  
Application Number:

特願2001-094464

出願人  
Applicant(s):

独立行政法人産業技術総合研究所  
科学技術振興事業団

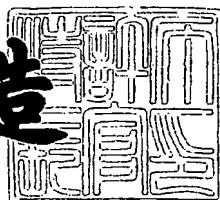
PRIORITY  
DOCUMENT

SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

2001年10月26日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3090510

【書類名】 特許願  
【整理番号】 JST13P1  
【特記事項】 特許法第30条第1項の規定の適用を受けようとする特許出願  
【提出日】 平成13年 3月29日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 29/06  
【発明者】  
【住所又は居所】 茨城県つくば市梅園1丁目1番4 経済産業省産業技術総合研究所 電子技術総合研究所内  
【氏名】 小倉 瞳郎  
【発明者】  
【住所又は居所】 茨城県つくば市梅園1丁目1番4 経済産業省産業技術総合研究所 電子技術総合研究所内  
【氏名】 菅谷 武芳  
【発明者】  
【住所又は居所】 茨城県つくば市梅園1丁目1番4 経済産業省産業技術総合研究所 電子技術総合研究所内  
【氏名】 張 起連  
【発明者】  
【住所又は居所】 茨城県つくば市梅園1丁目1番4 経済産業省産業技術総合研究所 電子技術総合研究所内  
【氏名】 杉山 佳延  
【特許出願人】  
【識別番号】 301000011  
【氏名又は名称】 経済産業省産業技術総合研究所長 日下 一正  
【特許出願人】  
【識別番号】 396020800  
【氏名又は名称】 科学技術振興事業団

【代理人】

【識別番号】 100082669

【弁理士】

【氏名又は名称】 福田 賢三

【選任した代理人】

【識別番号】 100095337

【弁理士】

【氏名又は名称】 福田 伸一

【選任した代理人】

【識別番号】 100061642

【弁理士】

【氏名又は名称】 福田 武通

【手数料の表示】

【予納台帳番号】 086277

【納付金額】 10,500円

【その他】 国以外のすべての者の持分の割合 1／2

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 負性抵抗電界効果素子

【特許請求の範囲】

【請求項1】 一方の側面が(100)面、他方の側面が(011)面の非対称V溝を有するInPまたはGaAs基板上に形成されることで、向かい合う一方の側面が(111)A面、他方の側面が(331)B面のトレンチを有するInAlAsまたはAlGaAsバリア層と；

該バリア層の該トレンチ底面に成長させられ、高移動度チャネルとして相対的に狭いエネルギー-bandギャップを有するInGaAsまたはGaAs量子細線と；

該量子細線上に成長させられ、低移動度チャネルとして相対的に広いエネルギー-bandギャップを有するInAlAsまたはAlGaAsスペーサ層と；

それぞれコンタクト層を介して上記高移動度チャネルに電気的に導通する一方で、上記量子細線の長さ方向に沿って互いには離間したソース電極、ドレイン電極と；

該ソース電極と該ドレイン電極の間に設けられ、絶縁層を介するかショットキ接合を介して上記低移動度チャネルに臨むゲート電極と；

を有する負性抵抗電界効果素子。

【請求項2】 請求項1記載の負性抵抗電界効果素子であって；

上記低移動度チャネル内には部分的に伝導帯エネルギーを低めるデルタドープ層があり、上記InAlAsまたはAlGaAsスペーサ層は変調ドープ層となっていること；  
を特徴とする負性抵抗電界効果素子。

【請求項3】 請求項1記載の負性抵抗電界効果素子であって；

上記コンタクト層はn型InAlAs層、n型InGaAs層、n型InAlAs層、n型InAs層の積層構造を含むこと；

を特徴とする負性抵抗電界効果素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、負性抵抗特性(NDR:Negative Differential Resistance)を呈する

電界効果素子に関し、特に、負性抵抗特性を呈する直前のドレイン電流値と負性抵抗特性が起きた直後のドレイン電流値との比であって負性抵抗効果の大きさを測る目安となるピーク・トゥ・バレー電流比 (Peak-to-Valley Current Ratio: 以下、PVCRと略す) を高め、また、低い電源電圧で負性特性を呈し得るようにするための改良に関する。なお、負性抵抗特性を呈する電界効果素子を、本書では一般的慣例に従い、単に負性抵抗電界効果素子と呼ぶ。

#### 【0002】

##### 【従来の技術】

半導体集積回路では負性抵抗特性を有する素子が要求される場合も多い。他の能動素子と同様、こうした負性抵抗素子でも、より低い電圧で動作し、高速動作可能な（高周波特性の良好な）素子である程に望ましいことはもちろんで、これまでにも種々の研究がなされてきた。

#### 【0003】

制御端子を持たない、いわゆる二端子素子もあるが、制御端子がないということ自体が短所となりがちで、外部からの制御に限界があり、論理素子への応用や集積化素子としてはなじまないことが多い。增幅機能等も当然に見込むことができない。従ってやはり、少なくとも制御端子を含む三端子構造を有する負性抵抗素子が求められるが、その前提の上でなお、将来的傾向として、最も重要視されて行くであろうことは、低電圧動作と高いPVCRの実現である。

#### 【0004】

それに対する一つ的回答として、従来からも、化合物ヘテロ接合構造を用い、エネルギー-bandギャップが相対的に狭く、高移動度の層部分を電子の主たる走行チャネルとし、これに接するように、エネルギー-bandギャップが相対的に広くて低移動度の層部分を第二のチャネルとして設けた構造の提案がある（例えば文献1：“Enhanced Resonant Tunneling Real-Space Transfer in delta-Doped GaAs/InGaAs Gated Dual\_Channel Transistors Grown by MOCVD”，Chang-Luen Wu他，IEEE Transactions on Electron Devices vol.43 No.2.(1996) 207）。

#### 【0005】

このようなデュアルチャネル構造を有する低次元電界効果素子では、ドレイン

電圧により加速されて両チャネル間のポテンシャル障壁のエネルギーレベルに達した走行電子（ホットキャリア）を、ゲート電圧を正に印可することで、ゲートと主たる高移動度チャネルとに挟まれた低移動度チャネルに実空間遷移させる。低移動度チャネルに遷移した電子は減速して走行するか停留し、その結果、高移動度チャネルを走行する電子の面密度は、ゲート電圧により電荷中性条件を満たすため誘起される総電荷量から、低移動度チャネルに停滞する電荷を減じたものになつて、ゲートバイアスをその分、負方向にバイアスしたのと同じ効果となり、高移動度チャネル内の電子が減少することで実質的にドレイン電流が減少し、負性抵抗特性の発現となる。

【0006】

一方、こうした原理を具現するにも、チャネル中のキャリアの散乱を抑制するのに、高移動度チャネルに量子細線を用いるデュアルチャネル型の電界効果素子構造が有利なことを、本発明者的一部は既に提案した（特願平11-368916号）。この素子の方が、量子井戸を用いたものより負性抵抗が起きやすく、超高速論理素子等にも有望ではある。

【0007】

【発明が解決しようとする課題】

しかし、量子細線の横方向閉じ込めサイズを実際には約100nmよりも小さくすることが困難であった結果、負性抵抗特性を発現させる電源電圧（一般に電界効果素子としてのドレイン電圧）は従来例に比せば低下させ得たものの、未だ十分に低くなつたとは言えなかつた。と言うよりも、改善の余地は残つていた。本発明はこの点の更なる改良を目的としてなされたものである。

【0008】

【課題を解決するための手段】

本発明では上記目的を達成するために、一方の側面が(100)面、他方の側面が(011)面の非対称V溝を有するInPまたはGaAs基板上に形成されることで、向かい合う一方の側面が(111)A面、他方の側面が(331)B面のトレンチを有するInAlAsまたはAlGaAsバリア層と、このバリア層のトレンチ底面に成長させられ、高移動度チャネルとして、相対的に狭いエネルギー-bandギャップを有するInGaAsまたは

GaAs量子細線と、この量子細線上に成長させられ、低移動度チャネルとして、相対的に広いエネルギー-bandギャップを有するInAlAsまたはAlGaAsスペーサ層と、それぞれコンタクト層を介して高移動度チャネルに電気的に導通する一方で、量子細線の長さ方向に沿って互いには離間したソース電極、ドレイン電極と、これらソース電極とドレイン電極の間に設けられ、絶縁層を介するかショットキ接合を介して低移動度チャネルに臨むゲート電極と、を有する負性抵抗電界効果素子を提案する。

## 【0009】

本発明ではまた、上記基本構成を満たした上で、低移動度チャネル内には部分的に伝導帯エネルギーを低めるデルタドープ層が設けられ、InAlAsまたはAlGaAsスペーサ層が変調ドープ層となっている素子や、ソース電極、ドレイン電極が接触するコンタクト層がn型InAlAs層、n型InGaAs層、n型InGaAs層、n型InAs層の積層構造を含む素子も提案する。

## 【0010】

## 【発明の実施の形態】

図1には本発明に従って構成された負性抵抗電界効果素子10の望ましい一実施形態が示されている。まず、静的に断面構造から見てみると、同図(A)の左側図面に示すように、非対称V溝を有するInPまたはGaAs基板、図示の場合はInP基板11上に、InAlAsまたはAlGaAsバリア層、この場合はInAlAsバリア層12が形成されることで、当該バリア層12には、下地のInP基板11のV溝のある所に非常に急峻な側面を持つ深いV溝であるトレンチTRが形成されている。このトレンチTRの底の部分近くの斜面間距離(空間幅)は、後述のように、非常に狭く形成することができる。

## 【0011】

図1(A)の右側図面には、左側図面中にて仮想線で囲った要部の断面積層関係も示されているので、これも参照すると、InAlAsバリア層12のトレンチTRの底面上には、まず、高移動度チャネルとして相対的に狭いエネルギー-bandギャップを有するInGaAsまたはGaAs量子細線、この場合はInGaAs量子細線13が形成され、その上には、低移動度チャネル20として、相対的に広いエネルギー-bandギャップを

有するInAlAsまたはAlGaAsスペーサ層、この場合はInAlAsスペーサ層20が形成されている。

## 【0012】

ただし、この実施形態では、当該低移動度チャネル20は実は下層21と上層22との二層構造とも認められる。というのも、当該低移動度チャネル20内に伝導帯の凹みを作ることで高移動度チャネルからトンネル障壁を越えて実空間遷移していくキャリアを捕らえ易くするために、その厚みの途中に、n型シリコン一原子層等によるデルタドープ層（δドープ層）22が含まれているからである。こうした低移動度チャネル20はまた、ドーピング関係からは変調ドープ層と呼ぶこともできる。

## 【0013】

低移動度チャネル20の上には、後述のようにソース電極42、ドレイン電極43のそれぞれのためのコンタクト層30が形成されている。この実施形態におけるコンタクト層30は、やはり複数層の積層構造から成るノンアロイコンタクト層なっており、下層から順にn-InAlAs層31、n-InGaAs層32、デルタドープ層33、n-InAlAs層34、n-InAs層35と重なっている。これは、互いの格子整合性が良く、導電性が良好であって、かつ、ソース電極42、ドレイン電極43とのオーム接觸も良好に取れるようにするとの条件からであるが、もちろん、この他にも考えられ、上記の目的を達成するならば、積層層数や材質は問わない。

## 【0014】

図1(B)には、同図(A)と直交する関係の断面構造が示されているが、コンタクト層30上には、高移動度チャネルである量子細線13に電気的に導通する一方、当該量子細線13の長さ方向に沿って互いには離間した配置関係となるソース電極42、ドレイン電極43が公知既存のリソグラフィ手法に従って設けられており、また、ソース電極と該ドレイン電極の間には、絶縁層を介するかショットキ接合を介して（この場合は変調ドープ層20に対するショットキ接合を介して）低移動度チャネル20に臨むゲート電極41も望ましくはセルフアライン手法で形成されている。一般にゲート電極41の両側でソース、ドレイン電極間の領域上には適當なる酸化膜、例えば二酸化シリコン酸化膜44が形成される。

【0015】

なお、図示の場合、コンタクト層30は、まずは低移動度チャネル20に接触し、当該低移動度チャネル20をさらに介して高移動度チャネルである量子細線13に導通するように構成されているが、コンタクト層30が直接に高移動度チャネル20に接触するように作製することもできる。また、電極材料は任意であるが、例えばTi/Pt/Auなどが挙げられる。

【0016】

このような本発明素子10においては、ドレイン電圧で加速されてホットキャリアとなった高移動度チャネル13内のキャリアは適當なる大きさのゲート電圧の印加により、高移動度チャネル13と低移動度チャネル20間のエネルギー障壁を越えて当該低移動度チャネル20内に移り、そこを走行するか停留する。そのため、既に述べたように、実効的にゲート電圧が負方向に増したのと等しい状況が生起し、ドレイン電流が減少する負性抵抗特性が発現する。

【0017】

改めて言い直すなら、電荷中性条件により、一定のゲート電圧で蓄えられる電子の総量は一定であるから、低移動度チャネル20に遷移した電子の分だけ、高移動度チャネル13の電子が減少し、そのコンダクタンスが減少し、負性抵抗特性の発現となる。ここで、低移動度チャネル20内にこの実施形態におけるデルタドープ層22が設けられていると、その部分を最深部とする凹みが伝導帯に生じ、トンネル遷移してきたキャリアの安定な捕捉、停留を保証する。しかし、原理的にはこのデルタドーピング層はなくても良く、既述したデュアルチャネル構造が満足されれば良い。

【0018】

しかるに、先に述べた通り、本素子の特性上、重要な鍵の一つは、如何にして量子閉じ込め効果の大きい、細幅、微細断面の量子細線13を得るかにある。そしてそれは、少なくとも本発明要旨構成中における限定条件に従うことで、少なくとも従来例に比せば、リソグラフィ技術による限界制約を受けることなく、より狭い幅の量子細線13を得ることができる。しかし、これについてはまた、本件発明者的一部が既に、実践をもって極めて細幅な量子細線を得ている。

## 【0019】

そこで以下、これに従った手法を含む、より具体的な本発明素子10の作製例に就き、説明する。まず、図4(A)に示すように、通常のフォトリソグラフィ工程により、InP(311)A基板上に、[01-1]方向に幅 $2\mu m$ のライン・アンド・スペースパターンを形成した後、HCl:H<sub>3</sub>PO<sub>4</sub>:H<sub>2</sub>O<sub>2</sub>(=50:10:1)溶液を用いた化学エッティング(ウェットエッティング)により、非対称V型溝を作成した。非対称V溝の斜面は(100)面と(011)面で形成されている。斜面間の角度は90°である。この基板の表面酸化膜をフッ化水素酸で除去した後、MBE(分子ビームエピタキシ)チャンバ内に導入し、原子状水素照射下で基板温度を400°Cに昇温して2分間保ち、基板の表面クリーニングを行った。

## 【0020】

このInP(311)A-V溝基板11上に、クラッキングAs<sub>2</sub>を用いたV族ソースにより吸着原子の拡散を抑制しながらMBEによりInAlAs(あるいはAlGaAs)バリア層12を成長すると、図4(B)及びその要部拡大図である図4(C)に示す通り、(100)面の斜面状側面に(111)A面、(110)斜面の側面に(331)B面が形成され、交差角22度という、鋭いV溝であるトレンチTRが形成される。従来の他の手法では、このように急峻な斜面形状で深さを持つトレンチTRは形成できない。

## 【0021】

このようなトレンチTRの底にInGaAsあるいはGaAs量子細線を成長すると、既に述べたように、リソグラフィ限界を超えた、極めて幅の狭い量子細線13を形成することができる。その後は、これも既述の通り、低移動度チャネル20、コンタクト層30を順次、適当なる公知手法で形成すればよい。

## 【0022】

ここで、参考までに、本出願人における試作例での各層膜厚は、InAlAsバリア層12が400nm、InGaAs量子細線13が10nm、InAlAsスペーサ層21が10nm、同じくデルタドープ層22を挟んで上層のInAlAsスペーサ層23が15nm、さらにノンアロイオーミックコンタクト層30中におけるn-InAlAs層31が1nm、n-InGaAs層32が5nm、デルタドープ層を挟んでその上のn-InAlAs層34が1nm、最上層のn-InAs層が1nmである。In、Ga、Alのフラックスは、InP基板上でInGaAs、InAlAsの組成が格子整

合する値  $In_{0.53}Ga_{0.47}As$ 、 $In_{0.52}Al_{0.48}As$  である。成長中の As 分圧は、 $As_4$  が  $1.3 \times 10^{-3}$  Pa、 $As_2$  が  $8.3 \times 10^{-4}$  Pa とした。InGaAs 量子細線 13 以降の成長には  $As_4$  を用いた。

#### 【0023】

図 2 にまず、本発明による負性抵抗電界効果素子 10 の室温における静特性を示す。横軸がドレイン-ソース電圧  $V_{ds}$ 、縦軸がドレイン電流  $I_d$  である。量子細線 13 の断面幅はほぼ  $10\text{nm} \times 20\text{nm}$ 、ゲート長は  $2\mu\text{m}$  に作成した。室温下では良好な飽和特性を持つ通常の電界効果トランジスタ (FET) 特性となっている。対して図 3 に示すように、動作温度を  $40\text{K}$  にまで下げるとき、顕著な負性抵抗特性が観測された。これは、ゲート電界型実空間遷移 (field-assisted real space transfer) による負性抵抗であり、高移動度チャネルとしての InGaAs 量子細線 13 の電子がトンネル障壁を越えて低移動度チャネル 20 中にトンネルすることにより生じる。負性抵抗の生じるドレイン電圧 (Onset Voltage:  $V_{NDR}$ ) は、 $V_g = -0.1\text{V}$  で  $0.12\text{V}$  であり、これまでに報告された負性抵抗デバイスに比べて極めて低い。また、PVCR についても、 $V_g = -0.1\text{V}$  の時 4.3 と、十分な値が確保された。

#### 【0024】

負性抵抗の発現するドレイン電圧は  $0.2\text{V}$  からゲート電圧と共に低下するが、これはゲート電圧によりチャネルから見た有効障壁層の高さが低くなったためである。従来の実時間遷移素子の場合、負性抵抗の現れる電圧は  $1\text{V}$  以上であり、本発明による素子特性の向上は顕著である。

#### 【0025】

なお、負性抵抗特性の生ずるドレイン電圧はデバイス温度の上昇と共に低減する傾向になるが、これは、キャリア温度の上昇がキャリアの遷移すべき障壁層の高さの相対的な低下を招くためと考えられる。

#### 【0026】

##### 【発明の効果】

以上、本発明の望ましい実施形態に即し説明したが、本発明の負性抵抗特性電界効果素子は低ドレイン電圧で負性抵抗が得られること、十分な PVCR を得られることで、これまでにない利点、特長を有し、低消費電力での高周波発振器やメモ

リ等への応用が期待できる。

【図面の簡単な説明】

【図1】

本発明負性抵抗電界効果素子の一実施形態における概略構成図である。

【図2】

本発明負性抵抗電界効果素子の一実験例で得られた室温下でのドレインーソース電圧対ドレイン電流の静特性図である。

【図3】

本発明負性抵抗電界効果素子の一実験例で得られた 40K下でのドレインーソース電圧対ドレイン電流の静特性図である。

【図4】

本発明負性抵抗素子の作製に利用すると好都合な、量子細線を形成すべきトレンチ形成例の説明図である。

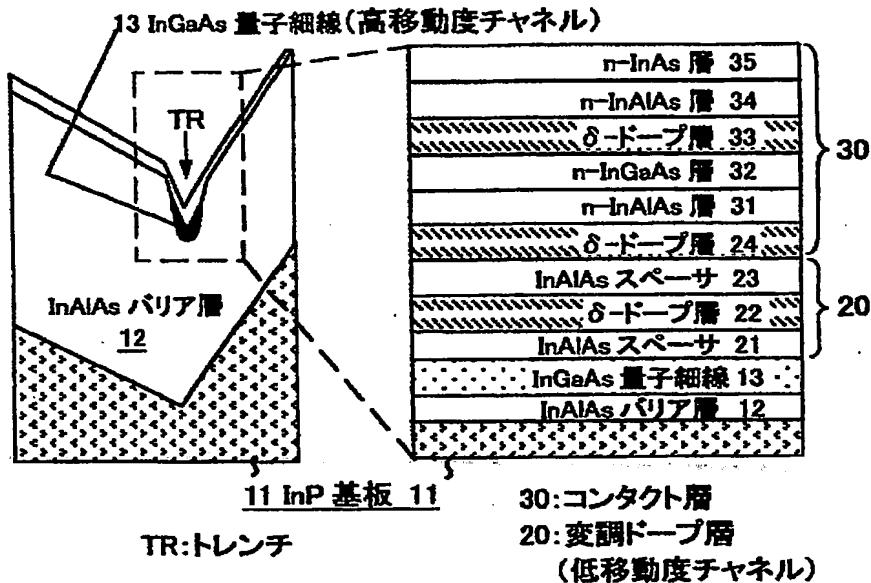
【符号の説明】

- 10 本発明負性抵抗電界効果素子
- 11 InP基板
- 12 InAlAsバリア層
- 13 高移動度チャネルである量子細線
- 20 低移動度チャネルである変調ドープ層
- 22 デルタドープ層
- 30 コンタクト層
- 41 ゲート電極
- 42 ソース電極
- 43 ドレイン電極
- TR トレンチ

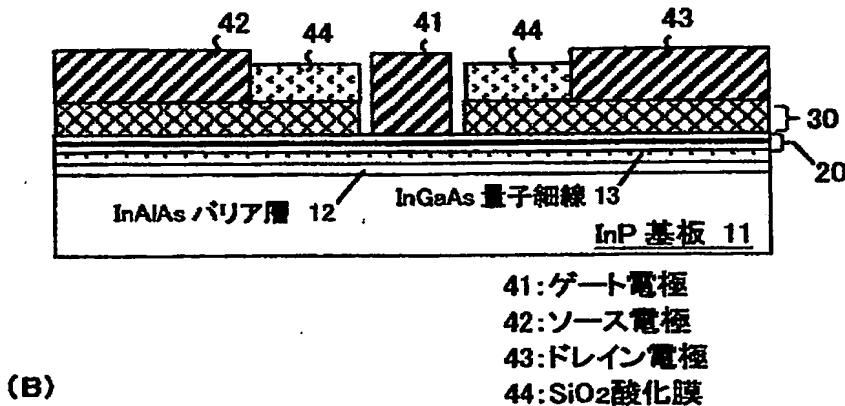
【書類名】 図面

【図1】

(本発明) 負性抵抗電界効果素子 10

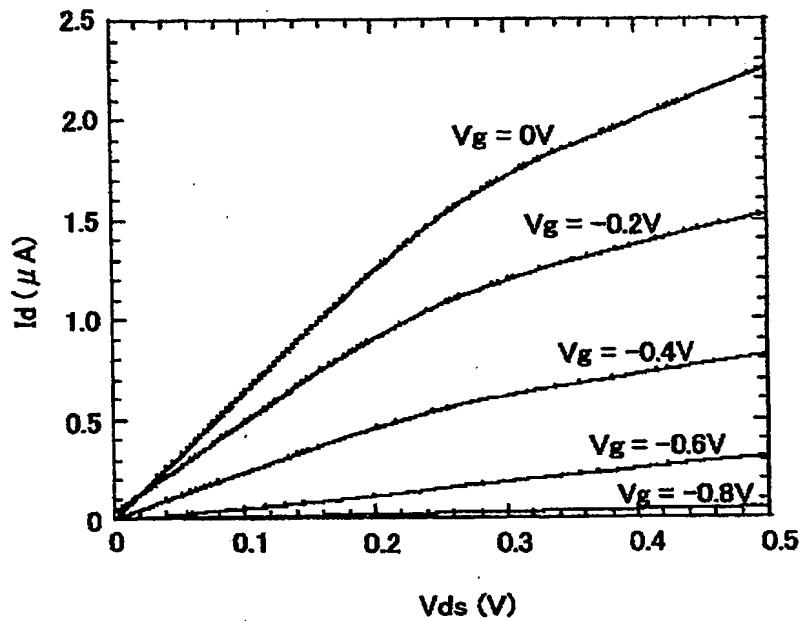


(A)

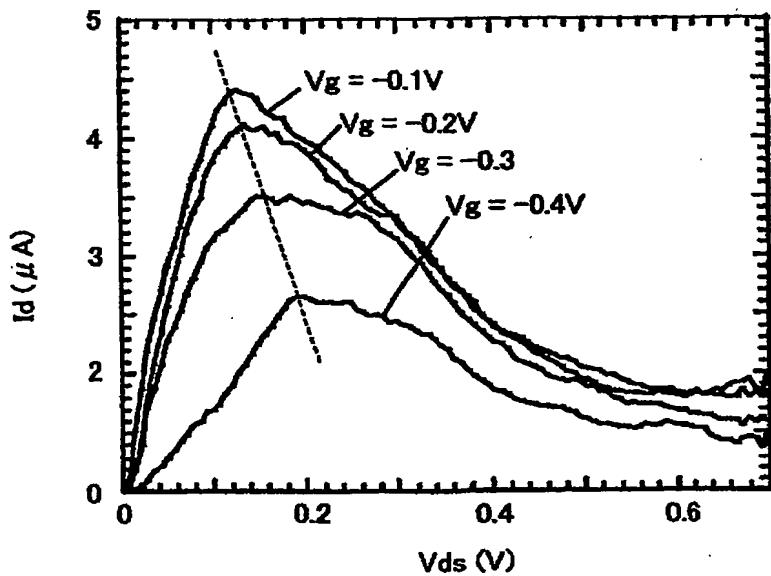


(B)

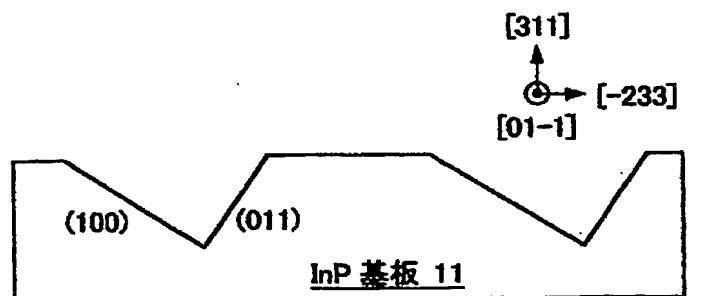
【図2】



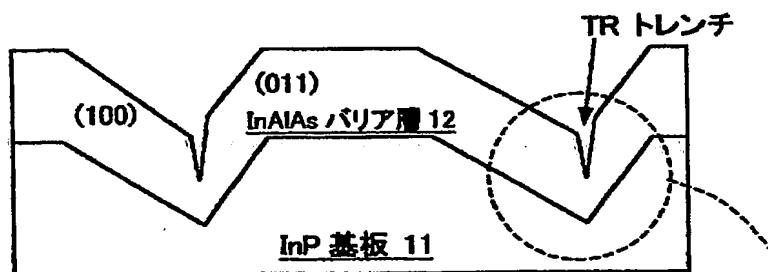
【図3】



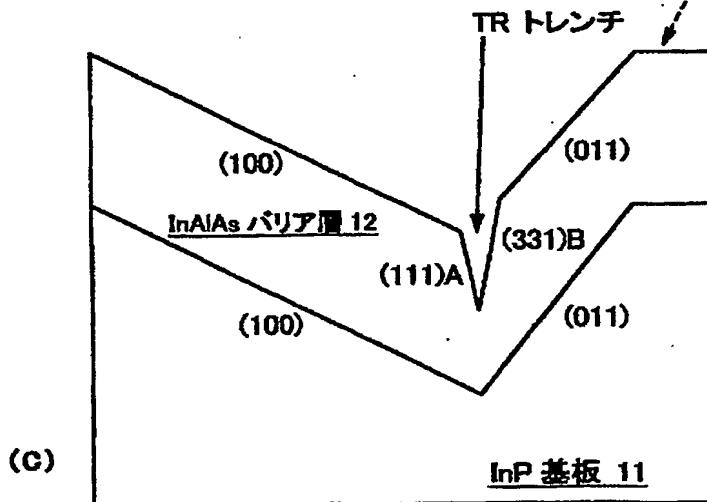
【図4】



(A)



(B)



(C)

【書類名】 要約書

【要約】

【課題】 低電源電圧（低ドレイン電圧）で負性特性を発現することができ、PV CRも高く取れる負性抵抗特性電界効果素子を提供する。

【解決手段】 一方の側面が(100)面、他方の側面が(011)面の非対称V溝を有するInP基板11上に、向かい合う一方の側面が(111)A面、他方の側面が(331)B面のトレンチTRを有するInAlAsバリア層12を形成する。トレンチ底面に、高移動度チャネルとして、相対的に狭いエネルギー-bandギャップを有するInGaAs量子細線13を形成する。その上に、低移動度チャネルとして、相対的に広いエネルギー-bandギャップを有するInAlAs変調ドープ層20を形成する。コンタクト層30を介して高移動度チャネル13に電気的に導通する一方で、量子細線13の長さ方向に沿って互いには離間したソース電極42、ドレイン電極43と、ソース電極42とドレイン電極43の間に設けられ、絶縁層を介するかショットキ接合を介して低移動度チャネル20に臨むゲート電極41を設ける。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2001-094464
受付番号	50100453679
書類名	特許願
担当官	佐々木 吉正 2424
作成日	平成13年 6月 7日

〈認定情報・付加情報〉

【特許出願人】

【識別番号】 301000011  
【住所又は居所】 東京都千代田区霞が関1丁目3番1号  
【氏名又は名称】 経済産業省産業技術総合研究所長

【特許出願人】

【識別番号】 396020800  
【住所又は居所】 埼玉県川口市本町4丁目1番8号  
【氏名又は名称】 科学技術振興事業団

【代理人】

【識別番号】 100082669  
【住所又は居所】 東京都港区西新橋1-6-13 柏屋ビル  
【氏名又は名称】 福田 賢三

【選任した代理人】

【識別番号】 100095337  
【住所又は居所】 東京都港区西新橋1-6-13 柏屋ビル 福田  
【氏名又は名称】 特許事務所

【選任した代理人】

【識別番号】 100061642  
【住所又は居所】 東京都港区西新橋1-6-13 柏屋ビル4階  
【氏名又は名称】 福田 武通

次頁無

特2001-094464

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2001- 94464

【承継人】

【識別番号】 301021533

【住所又は居所】 東京都千代田区霞が関1-3-1

【氏名又は名称】 独立行政法人産業技術総合研究所

【代表者】 吉川弘之

【連絡先】 部署名 独立行政法人産業技術総合研究所

知的財産部知的財産管理室

担当者 楠本 真

電話番号 0298-61-3281

【プルーフの要否】 要

特2001-094464

認定・付加情報

特許出願の番号	特願2001-094464
受付番号	50100602627
書類名	出願人名義変更届（一般承継）
担当官	佐々木 吉正 2424
作成日	平成13年10月12日

<認定情報・付加情報>

【提出日】 平成13年 4月24日

次頁無

特2001-094464

出願人履歴情報

識別番号 [301000011]

1. 変更年月日 2001年 1月 4日

[変更理由] 新規登録

住 所 東京都千代田区霞が関1丁目3番1号

氏 名 経済産業省産業技術総合研究所長

特2001-094464

出願人履歴情報

識別番号 [396020800]

1. 変更年月日 1998年 2月24日

[変更理由] 名称変更

住 所 埼玉県川口市本町4丁目1番8号

氏 名 科学技術振興事業団

特2001-094464

出願人履歴情報

識別番号 [301021533]

1. 変更年月日 2001年 4月 2日

[変更理由] 新規登録

住 所 東京都千代田区霞が関1-3-1  
氏 名 独立行政法人産業技術総合研究所